

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of :
Takashi TAKEMURA :
Serial No.: [NEW] : Mail Stop Patent Application
Filed: October 9, 2003 : Attorney Docket No. OKI.587
For: SEMICONDUCTOR MEMORY DEVICE

CLAIM OF PRIORITY

U.S. Patent and Trademark Office
2011 South Clark Place
Customer Window, Mail Stop Patent Application
Crystal Plaza Two, Lobby, Room 1B03
Arlington, VA 22202

Sir:

Applicant, in the above-identified application, hereby claims the priority date
under the International Convention of the following Japanese application:

Appln. No. 2003-056567 filed March 4, 2003

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS, PLLC



Adam C. Volentine
Registration No. 33,289

12200 Sunrise Valley Drive, Suite 150
Reston, Virginia 20191
Tel. (703) 715-0870
Fax. (703) 715-0877

Date: October 9, 2003

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2003年 3月 4日

出 願 番 号
Application Number:

特願2003-056567

[ST.10/C]:

[JP 2003-056567]

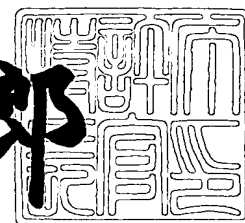
出 願 人
Applicant(s):

沖電気工業株式会社

2003年 6月24日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3049352

【書類名】 特許願

【整理番号】 KA003886

【提出日】 平成15年 3月 4日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 G11C 11/41

【発明者】

 【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社
社内

 【氏名】 竹村 崇

【特許出願人】

 【識別番号】 000000295

 【氏名又は名称】 沖電気工業株式会社

【代理人】

 【識別番号】 100086807

 【弁理士】

 【氏名又は名称】 柿本 恭成

【手数料の表示】

 【予納台帳番号】 007412

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9001054

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項 1】 相補的なデータを入出力する第 1 及び第 2 のビット線と、
選択信号に基づいて第 1 の記憶ノードと前記第 1 のビット線との接続を制御する第 1 のトランジスタと、

前記選択信号に基づいて第 2 の記憶ノードと前記第 2 のビット線との接続を制御する第 2 のトランジスタと、

前記第 1 及び第 2 の記憶ノードの電位を保持して出力するフリップフロップと

、
チャネル領域が前記第 2 の記憶ノードに接続され、第 1 の内部ノードと前記第 1 のビット線との接続を前記選択信号に基づいて制御する第 3 のトランジスタと、

チャネル領域が前記第 2 の記憶ノードに接続され、共通電位と前記第 1 の内部ノードとの接続を該第 2 の記憶ノードの電位に基づいて制御する第 4 のトランジスタと、

チャネル領域が前記第 1 の記憶ノードに接続され、第 2 の内部ノードと前記第 2 のビット線との接続を前記選択信号に基づいて制御する第 5 のトランジスタと、

チャネル領域が前記第 1 の記憶ノードに接続され、共通電位と前記第 2 の内部ノードとの接続を該第 1 の記憶ノードの電位に基づいて制御する第 6 のトランジスタとを、

備えたことを特徴とする半導体記憶装置。

【請求項 2】 請求項 1 記載の半導体記憶装置において、
前記第 1 乃至第 6 のトランジスタの閾値電圧は、ほぼ同一であることを特徴とする半導体記憶装置。

【請求項 3】 請求項 1 記載の半導体記憶装置において、

前記第 1 乃至第 6 のトランジスタは半導体基板表面に形成されており、

前記第 3 及び第 4 のトランジスタは前記半導体基板表面に設けられた第 1 導電

型のウェル内に形成され、前記第 5 及び第 6 のトランジスタは前記半導体基板表面に設けられた第 2 導電型のウェル内に形成されていることを特徴とする半導体記憶装置。

【請求項 4】 相補的なデータを入出力する第 1 及び第 2 のビット線と、
選択信号に基づいて第 1 の記憶ノードと前記第 1 のビット線との接続を制御する第 1 のトランジスタと、

前記選択信号に基づいて第 2 の記憶ノードと前記第 2 のビット線との接続を制御する第 2 のトランジスタと、

前記第 1 及び第 2 の記憶ノードの電位を保持して出力するフリップフロップと、

チャンネル領域が前記第 2 の記憶ノードに接続され、データ読み出し時に第 1 の内部ノードと前記第 1 のビット線との接続する第 3 のトランジスタと、

チャンネル領域が前記第 2 の記憶ノードに接続され、共通電位と前記第 1 の内部ノードとの接続を該第 2 の記憶ノードの電位に基づいて制御する第 4 のトランジスタと、

チャンネル領域が前記第 1 の記憶ノードに接続され、データ読み出し時に第 2 の内部ノードと前記第 2 のビット線との接続する第 5 のトランジスタと、

チャンネル領域が前記第 1 の記憶ノードに接続され、共通電位と前記第 2 の内部ノードとの接続を該第 1 の記憶ノードの電位に基づいて制御する第 6 のトランジスタとを、

備えたことを特徴とする半導体記憶装置。

【請求項 5】 請求項 4 記載の半導体記憶装置において、
前記第 1 乃至第 6 のトランジスタの閾値電圧は、ほぼ同一であることを特徴とする半導体記憶装置。

【請求項 6】 請求項 4 記載の半導体記憶装置において、
前記第 1 乃至第 6 のトランジスタは半導体基板表面に形成されており、
前記第 3 及び第 4 のトランジスタは前記半導体基板表面に設けられた第 1 導電型のウェル内に形成され、前記第 5 及び第 6 のトランジスタは前記半導体基板表面に設けられた第 2 導電型のウェル内に形成されていることを特徴とする半導体

記憶装置。

【請求項 7】 請求項 4 記載の半導体記憶装置は、更に、
前記第 1 及び第 2 のトランジスタに接続されたワード線と、
前記第 3 及び第 5 のトランジスタに接続された信号線とを有し、
前記フリップフロップへのデータ書き込み時には、前記選択信号を前記ワード線に出力すると共に、前記データ読み出し時には、前記信号線に前記第 3 及び第 5 のトランジスタを制御する制御信号を出力する論理回路を有することを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体記憶装置、とくに低電源電圧での動作を実現する S R A M (Static Random Access Memory)等の半導体記憶装置に関するものである。

【0002】

【従来の技術】

【0003】

【特許文献 1】

特願 2 0 0 1 - 3 4 5 3 3 9 明細書

【特許文献 2】

特願 2 0 0 2 - 1 0 5 6 6 2 明細書

【非特許文献 1】

信学技報、I C D 9 7 - 5 2 (1 9 9 7 - 6)、電子情報通信学会、柴田・森村著「携帯機器用 1 V 動作 0. 2 5 μ m S R A M マクロセル」 p. 1 - 8

【0004】

S R A M は、携帯端末等に使用される A S I C (特定用途向け集積回路)等のキャッシュメモリとして、幅広く利用されている。このような用途に用いられる S R A M は限られた容量の電池を電源とするため、小型であると共に低消費電力であることが要求されている。消費電力は電源電圧の 2 乗に比例するため、電源電圧を下げることは、低消費電力化に最も有効である。

【 0 0 0 5 】

一方、電源電圧を下げるとSRAMを構成するMOSトランジスタの動作速度が低下する。このため、MOSトランジスタの閾値電圧を下げて高速化を図ることが行われる。しかし、閾値電圧を低下させると、スタンバイ時にサブスレッショルド電流によるリーク電流が増加し、効果的な低消費電力化が困難になるという問題があった。

【 0 0 0 6 】

このような問題を解決すべく、アクティブ時には低電圧電源での動作が可能で、かつスタンバイ時にはリーク電流による消費電力の増加が少ないCMOS（相補型MOSトランジスタ）LSI技術として、MTCMOS（Multi-Threshold CMOS）技術がある。

【 0 0 0 7 】

図2は、前記非特許文献1に記載されたMTCMOS技術を適用した従来のSRAMの構成図である。

【 0 0 0 8 】

このSRAMは、記憶ノードN1、N2に接続された、高い閾値電圧を有する2個のインバータL1、L2で構成されるフリップフロップ（以下、「FF」という）1を有している。記憶ノードN1、N2は、ワード線WLの選択信号Xで駆動される高い閾値電圧を有する書き込み用のトランジスタQ1、Q2を介して、それぞれビット線対BL、 $\overline{BL}$ に接続されている。

【 0 0 0 9 】

更に、このSRAMは、ワード線WLの選択信号Xで駆動される低い閾値電圧を有する読み出し加速用のトランジスタQ3、Q4を有している。トランジスタQ3のドレインはビット線BLに接続され、ソースは低い閾値電圧を有するトランジスタQ5を介して擬似グランド線VGNDに接続されている。同様に、トランジスタQ4のドレインはビット線 $\overline{BL}$ に接続され、ソースは低い閾値電圧を有するトランジスタQ6を介して擬似グランド線VGNDに接続されている。トランジスタQ5、Q6のゲートは、それぞれ記憶ノードN2、N1に接続されている。

【 0 0 1 0 】

また、擬似グランド線 V G N D は、高い閾値電圧を有するトランジスタ Q 7 を介して接地電位 G N D に接続されている。トランジスタ Q 7 のゲートには、ビット線選択信号 Y と読出制御信号 R E の否定的論理和が、低い閾値電圧を有する論理ゲート L 3 で生成されて与えられるようになっている。

【 0 0 1 1 】

次に、動作を説明する。

データの書き込み時には、ワード線 W L がレベル “H” となってトランジスタ Q 1, Q 2 がオン状態となり、ビット線対 B L, / B L のデータが F F 1 に保持される。この時、トランジスタ Q 7 はオフ状態となっているため、擬似グランド線 V G N D はフローティング状態となり、トランジスタ Q 3, Q 4 に電流は流れず、書き込み動作に対する支障はない。

【 0 0 1 2 】

データの読み出し時には、論理ゲート L 3 の出力信号によってトランジスタ Q 7 がオン状態となり、擬似グランド線 V G N D が接地電位 G N D (=レベル “L”) に接続される。次に、ワード線 W L が “H” となり、トランジスタ Q 1 ~ Q 4 がオン状態となる。この時、記憶ノード N 1, N 2 のいずれか一方が “H” となっているので、トランジスタ Q 5, Q 6 のいずれか一方がオン状態となる。これにより、インバータ L 1, L 2 によるビット線駆動に加えて、電流駆動能力の高い低閾値電圧のトランジスタ Q 3 ~ Q 6 もビット線を駆動することになり、読み出し動作の高速化が可能になる。

【 0 0 1 3 】

また、スタンバイ時には、高い閾値電圧を有するトランジスタ Q 7 をオフ状態にすることにより、低い閾値電圧を有するトランジスタ Q 3 ~ Q 6 のサブスレッショルド電流によるリーク電流を遮断することができる。これにより、スタンバイ時の低消費電力化が可能となる。

【 0 0 1 4 】

【発明が解決しようとする課題】

しかしながら、従来の S R A M では、次のような課題があった。

高い閾値電圧を有するインバータ L 1, L 2 及びトランジスタ Q 1, Q 2, Q 7 と、低い閾値電圧を有するトランジスタ Q 3 ~ Q 6 及び論理ゲート L 3 とを作り分ける必要がある。一般的に、閾値電圧の設定は、シリコン基板へのイオン注入量を制御することによって行われる。このため、閾値電圧の高低に対応した複数のインプラマスクを使用し、複数の工程でイオン注入を行う必要があり、製造工程が複雑になるという課題があった。また、スタンバイ時に、低い閾値電圧を有するトランジスタ Q 3 ~ Q 6 のサブスレッショルド電流によるリーク電流を遮断するために、擬似グランド線 V G N D を使用する必要があり、回路構成が複雑になるという課題があった。

【 0 0 1 5 】

【課題を解決するための手段】

前記課題を解決するために、本発明は、半導体記憶装置において、相補的なデータを入出力する第 1 及び第 2 のビット線と、選択信号に基づいて第 1 の記憶ノードと前記第 1 のビット線の間接続、及び第 2 の記憶ノードと前記第 2 のビット線の間接続をそれぞれ制御する第 1 及び第 2 のトランジスタと、前記第 1 及び第 2 の記憶ノードの電位を保持して出力する F F に加えて、低電源電圧で高速読み出しを行うために、次のような加速回路を備えている。

【 0 0 1 6 】

この加速回路は、チャネル領域が前記第 2 の記憶ノードに接続され、選択時またデータ読み出し時に、該第 2 の記憶ノードの電位に基づいて、前記第 1 のビット線と共通電位の間接続を制御する第 3 及び第 4 のトランジスタと、チャネル領域が前記第 1 の記憶ノードに接続され、選択時またデータ読み出し時に、該第 1 の記憶ノードの電位に基づいて、前記第 2 のビット線と共通電位の間接続を制御する第 5 及び第 6 のトランジスタとで構成されている。

【 0 0 1 7 】

本発明によれば、以上のように半導体記憶装置を構成したので、次のような作用が行われる。

【 0 0 1 8 】

例えば、データ読み出し時に第 1 及び第 2 の記憶ノードが、それぞれ “H” 及

び“L”であれば、この“H”の第1の記憶ノードにチャネル領域が接続されている第5及び第6のトランジスタの閾値電圧が低下し、これらの電流駆動能力が増加する。更に、第1の記憶ノードの電位によって、これらの第5及び第6のトランジスタがオン状態となり、第2のビット線が共通電位に接続される。これにより、第2のビット線には、急速に“L”のデータが出力される。

【0019】

【発明の実施の形態】

(第1の実施形態)

図1は、本発明の第1の実施形態を示すSRAMの構成図である。

このSRAMは、例えば太陽電池等の低電圧、小容量の電池を電源とする携帯端末に用いられるもので、すべて電源電圧よりも低い同一の閾値電圧を有するトランジスタで構成されている。このSRAMは、記憶ノードN1、N2に接続されてデータを保持するための、2個のインバータ1a、1bで構成されるFF1を有している。記憶ノードN1、N2は、ワード線WLの選択信号Xで駆動される書き込み用のNチャネルMOSトランジスタ（以下、「NMOS」という）2、3を介して、それぞれビット線BL、 $\overline{BL}$ に接続されている。

【0020】

また、このSRAMは、読み出し動作を加速させるための加速回路10を有している。加速回路10は、ビット線BLと共通電位（例えば、接地電位）GNDとの間に、内部ノードN3を介して直列に接続されたNMOS11、12、及びビット線 $\overline{BL}$ と接地電位GNDとの間に、内部ノードN4を介して直列に接続されたNMOS13、14で構成されている。NMOS11、13のゲートは、ワード線WLに接続されている。NMOS11、12のチャネル領域は、このNMOS12のゲートと共に記憶ノードN2に接続されている。また、NMOS13、14のチャネル領域は、このNMOS14のゲートと共に記憶ノードN1に接続されている。

【0021】

図3は、図1中の加速回路10の構造の一例を示す断面図である。

この加速回路10は、ダブルウェルCMOS構成の例であり、n型のシリコン

基板上に、NMOS 11, 12を形成するためのpウェル15と、NMOS 13, 14を形成するためのpウェル16を有している。そして、このpウェル15がNMOS 11, 12のチャンネル領域となり、pウェル16がNMOS 13, 14のチャンネル領域となっている。

【0022】

pウェル15には、NMOS 11, 12のドレイン及びソース電極を構成する n^+ 領域と、このpウェル15を記憶ノードN2に接続するためのウェルコンタクト15aを構成する p^+ 領域が形成されている。また、pウェル15の表面には、ゲート絶縁膜を介してNMOS 11, 12のゲート電極が形成されている。そして、NMOS 11のゲート電極はワード線WLに接続され、NMOS 12のゲート電極は、ウェルコンタクト15aと共に記憶ノードN2に接続されている。

【0023】

同様に、pウェル16には、NMOS 13, 14のドレイン及びソース電極を構成する n^+ 領域と、このpウェル16を記憶ノードN1に接続するためのウェルコンタクト16aを構成する p^+ 領域が形成されている。また、pウェル16の表面には、ゲート絶縁膜を介してNMOS 13, 14のゲート電極が形成されている。そして、NMOS 13のゲート電極はワード線WLに接続され、NMOS 14のゲート電極は、ウェルコンタクト16aと共に記憶ノードN1に接続されている。

【0024】

なお、このような加速回路10では、pウェル15と接地電位GNDに接続されたNMOS 12のソースとの間、及びpウェル16と接地電位GNDに接続されたNMOS 14のソースとの間に、それぞれダイオードが形成される。従って、これらのダイオードがオン状態とならない程度の低電圧電源（例えば、0.5V）で動作させる必要がある。

【0025】

次に、動作を説明する。

まず、このSRAMの電源電圧として、図示しない電源端子に0.5Vを供給

する。

【 0 0 2 6 】

データの書き込み時に、ビット線対 B L， / B L に書き込み用のデータが伝達された状態でワード線 W L がレベル “H” になると、N M O S 2， 3， 1 1， 1 3 がオン状態となる。N M O S 2， 3 がオン状態となることにより、ビット線対 B L， / B L 上のデータが、記憶ノード N 1， N 2 の F F 1 に保持される。

【 0 0 2 7 】

データの読み出し時には、F F 1 に保持されたデータの値に従って、記憶ノード N 1， N 2 のいずれか一方が “H” となる。例えば、記憶ノード N 1 が “H” の場合には、この記憶ノード N 1 にチャネル領域が接続された N M O S 1 3， 1 4 の閾値電圧が低下し、これらの N M O S 1 3， 1 4 の電流駆動能力が高くなる。一方、記憶ノード N 2 は “L” であるので、N M O S 1 1， 1 2 のチャネル領域は “L” であり、N M O S 1 1， 1 2 の閾値電圧は低下しない。

【 0 0 2 8 】

この状態でワード線 W L が “H” になると、N M O S 2， 3， 1 1， 1 3 がオン状態となる。この時、N M O S 1 3， 1 4 は、記憶ノード N 1 の電位によって電流駆動能力の高いトランジスタとなっているので、ビット線 / B L は、F F 1 による駆動に加えて、この N M O S 1 3， 1 4 によって高速に接地電位 G N D に引き込まれる。これによって、記憶ノード N 1， N 2 の電位が、ビット線対 B L， / B L に読み出される。

【 0 0 2 9 】

なお、この S R A M では、すべてのトランジスタの閾値電圧を同一の値に設定しており、低閾値電圧トランジスタのオフ状態時のリーク電流を阻止する必要がないため、スタンバイモードは存在しない。

【 0 0 3 0 】

以上のように、この第 1 の実施形態の S R A M は、ビット線 B L に対応する記憶ノード N 1 の電位がチャネル領域に与えられてビット線 / B L を高速に接地電位 G N D に引き込む N M O S 1 3， 1 4 と、ビット線 / B L に対応する記憶ノード N 2 の電位がチャネル領域に与えられてビット線 B L を高速に接地電位 G N D

に引き込むNMOS 11, 12で構成される加速回路10を有している。これにより、低い電源電圧で高速読み出し動作が可能になり、低消費電力化が達成できるという利点がある。また、MTCMOS技術を使用しないため、擬似グランド線が不要となり、回路構成及び製造工程が簡素化できるという利点がある。

【0031】

(第2の実施形態)

図4は、本発明の第2の実施形態を示すSRAMの構成図であり、図1中の要素と共通の要素には共通の符号が付されている。

【0032】

このSRAMでは、加速回路10をデータ読み出し時にのみ動作させるために、インバータ4, 5、否定的論理和ゲート（以下、「NOR」という）6、及び論理積ゲート（以下、「AND」という）7によるゲート回路を設けている。

【0033】

即ち、選択信号Xは、AND7の第1の入力側に与えられると共に、インバータ4を介してNOR6の第1の入力側に与えられるようになっている。また、書込制御信号WEは、インバータ5を介してNOR6とAND7の第2の入力側に与えられるようになっている。そして、NOR6の出力側はワード線WLに接続され、AND7の出力側がNMOS11, 13のゲートに接続されている。その他の構成は、図1と同様である。

【0034】

次に、動作を説明する。

データの書き込み時に、ビット線対BL, /BLに書き込み用のデータが伝達された状態で書込制御信号WEが“H”になると、インバータ5の出力信号が“L”となる。この時、選択信号Xが“H”になると、NOR6の出力信号、即ちワード線WLが“H”になり、NMOS2, 3がオン状態となる。NMOS2, 3がオン状態となることにより、ビット線対BL, /BL上のデータが、記憶ノードN1, N2のFF1に保持される。この時、AND7の出力信号S7は“L”となっているので、NMOS11, 13はオフ状態であり、加速回路10は書き込み動作に影響を与えない。

【 0 0 3 5 】

データの読み出し時には、FF 1 に保持されたデータの値に従って、記憶ノード N 1, N 2 のいずれか一方が “H” となる。例えば、記憶ノード N 1 が “H” の場合には、この記憶ノード N 1 にチャネル領域が接続された NMOS 1 3, 1 4 の閾値電圧が低下し、これらの NMOS 1 3, 1 4 の電流駆動能力が高くなる。一方、記憶ノード N 2 は “L” であるので、NMOS 1 1, 1 2 のチャネル領域は “L” であり、NMOS 1 1, 1 2 の閾値電圧は低下しない。

【 0 0 3 6 】

この状態で選択信号 X が “H”、及び書込制御信号 WE が “L” になると、AND 7 の出力信号 S 7 が “H” となり、NMOS 1 1, 1 3 がオン状態となる。この時、NMOS 1 3, 1 4 は、記憶ノード N 1 の電位によって電流駆動能力の高いトランジスタとなっているので、ビット線 /BL は、FF 1 による駆動に加えて、この NMOS 1 3, 1 4 によって高速に接地電位 GND に引き込まれる。これによって、記憶ノード N 1, N 2 の電位が、ビット線対 BL, /BL に高速に読み出される。

【 0 0 3 7 】

以上のように、この第 2 の実施形態の SRAM は、加速回路 1 0 をデータ読み出し時にのみ動作させるために、NOR 6 や AND 7 によるゲート回路を設けている。これにより、読み出し動作時以外には加速回路 1 0 の動作が停止されるので、第 1 の実施形態と同様の利点に加えて、更に低消費電力化を図ることができるという利点がある。

【 0 0 3 8 】

なお、本発明は、上記実施形態に限定されず、種々の変形が可能である。この変形例としては、例えば、次のようなものがある。

【 0 0 3 9 】

(a) 図 3 の断面構造は、ダブルウェル CMOS の場合の一例であり、このような構造に限定されるものではない。例えば、SOI (Silicon on Insulator) の場合は、ボディがチャネル領域に対応する。

【 0 0 4 0 】

(b) 図4のインバータ4, 5、NOR6及びAND7によるゲート回路は一例であり、同様の制御ができるものであれば、どのような構成でも良い。

【0041】

(c) 電源電圧を0.5Vとして説明したが、これに限られるものではなく、SRAMの記憶保持回路及び加速回路内に形成されるダイオードをオン状態とさせない電源電圧であれば適宜変更することが可能である。

【0042】

【発明の効果】

以上詳細に説明したように、本発明によれば、チャネル領域が第2の記憶ノードに接続され、選択時またデータ読み出し時に、該第2の記憶ノードの電位に基づいて、第1のビット線と共通電位の間の接続を制御する第3及び第4のトランジスタと、チャネル領域が第1の記憶ノードに接続され、選択時またデータ読み出し時に、該第1の記憶ノードの電位に基づいて、第2のビット線と共通電位の間の接続を制御する第5及び第6のトランジスタとで構成された加速回路を有している。これにより、“L”を出力するビット線に接続された加速回路のトランジスタの閾値電圧が低下し、低い電源電圧での高速読み出し動作が可能になる。

【0043】

また、MTCMOSのように複雑な製造工程を必要とせずに簡単な回路構成で低消費電力化が可能になる。

【図面の簡単な説明】

【図1】

本発明の第1の実施形態を示すSRAMの構成図である。

【図2】

従来のSRAMの構成図である。

【図3】

図1中の加速回路10の構造の一例を示す断面図である。

【図4】

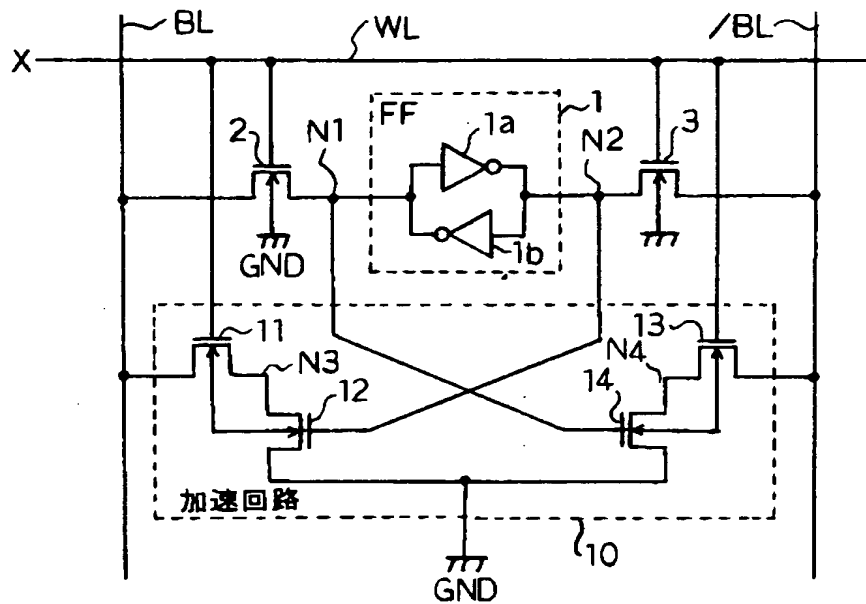
本発明の第2の実施形態を示すSRAMの構成図である。

【符号の説明】

1 FF
2, 3, 11~14 NMOS
4, 5 インバータ
10 加速回路
BL, /BL ビット線
N1, N2 記憶ノード
N3, N4 内部ノード
WL ワード線

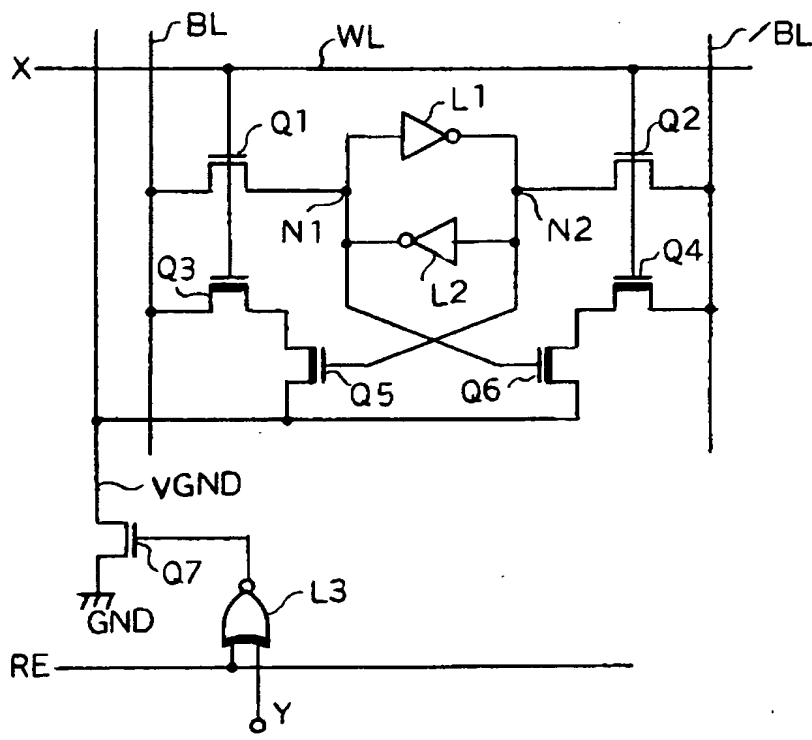
【書類名】 図面

【図 1】



本発明の第 1 の実施形態の S R A M

【図 2】



従来の S R A M

【書類名】 要約書

【要約】

【課題】 低い電源電圧で高速読み出し動作が可能で、かつ回路構成及び製造工程が簡素化できる S R A M を提供する。

【解決手段】 例えば F F 1 から記憶ノード N 1 , N 2 にそれぞれ “H” , “L” が出力されている場合、チャネル領域が記憶ノード N 1 に接続された N M O S 1 3 , 1 4 は、閾値電圧が低下して電流駆動能力が増加する。また、N M O S 1 4 は、記憶ノード N 1 のレベルによってオン状態となっている。ここで、ワード線 W L が “H” になると、N M O S 1 3 もオン状態となり、ビット線 / B L は急速に、接地電位 G N D に引き込まれる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000000295]

1. 変更年月日	1990年 8月22日
[変更理由]	新規登録
住 所	東京都港区虎ノ門1丁目7番12号
氏 名	沖電気工業株式会社